

УДК 621.376.56:004.415

DOI: 10.31673/2412-9070.2022.045459

К. О. ТРЕНЬОВА¹, аспірант;О. М. МАРЧУК¹, аспірант;М. Ю. МИРОНЮК², канд. техн. наук,¹ Державний університет телекомунікацій, Київ² Національна академія оборони України імені Івана Черняхівського, Київ

ВИСОКОПРОДУКТИВНА АРХІТЕКТУРА VLSI ДЛЯ ВДОСКОНАЛЕНИХ МОДЕМІВ QPSK

Досліджено актуальне питання створення високопродуктивної архітектури VLSI для вдосконалених модемів QPSK. Схеми QPSK-модуляції використовуються в архітектурі VLSI для багатьох високошвидкісних програм, зокрема й супутникового зв'язку. VLSI — це технологія, за допомогою якої 10000-1 мільйон транзисторів можуть бути виготовлені на одному чіпі. Оскільки постала нагальна потреба в додаткових функціях електронних пристроїв, то нині спостерігається прискорення розвитку технології VLSI.

Запропоновану архітектуру змодельовано в програмному забезпеченні XILINX. Цей програмний продукт має спеціалізовані інструменти для програмування пристроїв програмованої логіки на мовах опису апаратних засобів.

Головною метою дослідження є розроблення високопродуктивного модуля QPSK, оскільки він підтримує супутниковий зв'язок із високою пропускну здатністю та енергоефективністю. Модулятор QPSK — це двійковий (база 2) сигнал, який створює чотири різні вхідні комбінації: 00, 01, 10 і 11. Тому за допомогою QPSK двійкові вхідні дані об'єднуються в групи з двох бітів.

У розглядуваному проєкті було проаналізовано та змодельовано 8-PSK і 16-PSK модуляції з основами QPSK-модуляції та систем демодуляції для отримання потрібного виходу. Використовувалися кодування VERILOG для моделювання програми. Verilog — є мовою опису обладнання (HDL), яка застосовується для моделювання електронних систем. Verilog може працювати як в операційних системах Window 7, 8, так і в Window 10. Помилки кодуються та перевіряються за допомогою програмного забезпечення XILINX. Цей проєкт реалізовано для створення високої продуктивності в VLSI за допомогою систем QPSK, 8-PSK, 16-PSK, які використовуються для супутникового зв'язку. Реалізувати цей процес у будь-якому іншому модулі легко, але в VLSI це є великим викликом.

Ключові слова: QPSK; VLSI; модуляція; комунікація; архітектура; демодуляція; XILINX; методи.

Вступ

VLSI — це технологія, за допомогою якої 10000-1 мільйон транзисторів можуть бути виготовлені на одному чіпі. У минулому, за часів вакуумних ламп, розміри електронних пристроїв були величезними, потребували більше енергії, розсіювали більше тепла і були не настільки надійними. Тож, безумовно, існувала потреба в зменшенні розмірів цих пристроїв та їхнього розсіювання тепла. Після винаходу твердотільних нагромаджувачів розмір і тепло, що виділяється пристроями, різко зменшилися, але з часом зросла вимога до додаткових функцій в електронних пристроях, через що пристрої знову набрали вигляду громіздких та складних. Це дало початок винаходу технології, яка дає можливість виготовити більшу кількість компонентів на одному чіпі.

Постановка проблеми. FSK — це форма кутової модуляції постійної амплітуди, подібна до стандартної частотної модуляції (FM), за винятком того, що модульований сигнал — це двійковий сигнал, який змінюється між двома дискретними рівнями напруги, а не неперервно змінювана аналогова форма сигналу. Отже, FSK іноді називають двійковою FSK (BFSK). Швидкість передавання FSK, бод і пропускна здатність такі: час одного біта (t_b) дорівнює часу, коли вихід FSK є позначкою просторової частоти (t_s). Отже, бітовий час

дорівнює часу елемента сигналізації FSK, а бітова швидкість дорівнює бодам.

FSK Transmitter — це спрощений бінарний модулятор FSK, дуже схожий на звичайний FM-модулятор і досить часто є генератором, керованим напругою (VCO). Центральну частоту (f_c) вибирають так, щоб вона містилася посередині між позначковою та просторовою частотами. Логічний вхід 1 зміщує вихід VCO на частоту позначки, а вхід логічного 0 зміщує вихід VCO на просторову частоту. Отже, коли двійковий вхідний сигнал змінюється назад і вперед між умовами логічної 1 і логічного 0, вихід VCO зміщується або відхиляється вперед і назад між частотою позначки та пробілом.

Модулятор VCO-FSK може працювати в режимі розгортки, де пікове відхилення частоти є просто добутком двійкової вхідної напруги та чутливості до відхилення VCO. Вхідний сигнал FSK одночасно подається на входи обох смугових фільтрів (BPF) через дільник потужності. Відповідний фільтр пропускає лише позначку або лише просторову частоту на відповідний детектор обвідної. Детектори обвідної, зі свого боку, показують загальну потужність у кожній смузі пропускання, а компаратор реагує на більшу з двох потужностей. Вхідний FSK-сигнал множить на відновлений сигнал носійної, який має ту саму частоту та фазу,

© К. О. Треньова, О. М. Марчук, М. Ю. Миронюк, 2022

що й опорний передавач. Однак дві передані частоти (позначкова та просторова частоти) зазвичай не є неперервними; непрактично відтворювати місцеve посилання, узгоджене з ними обома. Отже, когерентне виявлення FSK використовується рідко.

Основна частина

Квадратурно-фазова модуляція. QPSK (Quadrature phase-shift keying) — використовує чотири точки на діаграмі сузір'я, де $N = 2$ і $M = 4$ (отже, назва «quaternary» означає «4»). Модулятор QPSK — це двійковий (база 2) сигнал, який створює чотири різні входні комбінації: 00, 01, 10 і 11. Тому за допомогою QPSK двійкові входні дані об'єднуються в групи з двох бітів, які називаються дібітами. У модуляторі кожен цифровий код генерує одну з чотирьох можливих вихідних фаз ($+45^\circ$, $+135^\circ$, -45° і -135°). Модулятор 8-PSK зображено на рис. 1.

16-PSK — це M -подібна техніка кодування, де $M = 16$. У 16-PSK об'єднуються чотири біти (так звані квадробіти), створюючи 16 різних вихідних фаз. Із 16-PSK, $n = 4$ і $M = 16$; отже, мінімальна пропускна здатність і швидкість передавання даних дорівнюють одній чверті бітрейту ($fb/4$). З 16-PSK кутовий розрив між суміжними вихідними фазами становить лише $22,5^\circ$ ($1800/8$), тому 16-PSK може зазнати фазового зсуву лише на $11,25^\circ$ ($1800/16$) під час передавання та зберегти свою цілісність. Для M -подібної системи PSK з 64 вихідними фазами ($n = 6$) кутовий розрив між сусідніми фазами становить лише $5,6^\circ$ ($180/32$).

Демодулятор 16-PSK. Сузір'я 32APSK складається з трьох кілець із 4, 12, 16 символами на кожному кільці, починаючи від внутрішнього до зовнішнього. Зовнішнє кільце $R3$ безпосередньо представляє сузір'я 16-PSK.

Результати модуляції та демодуляції на 8-PSK і 16-PSK унаочнюють рис. 2 – рис. 5.

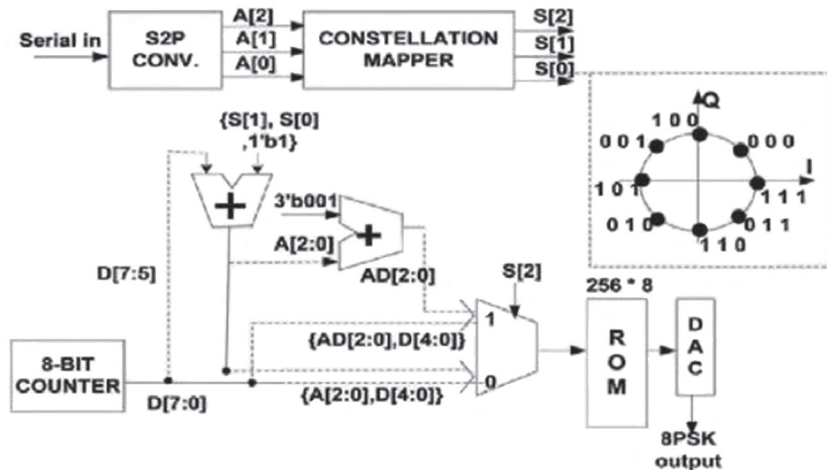


Рис. 1. Модулятор 8-PSK

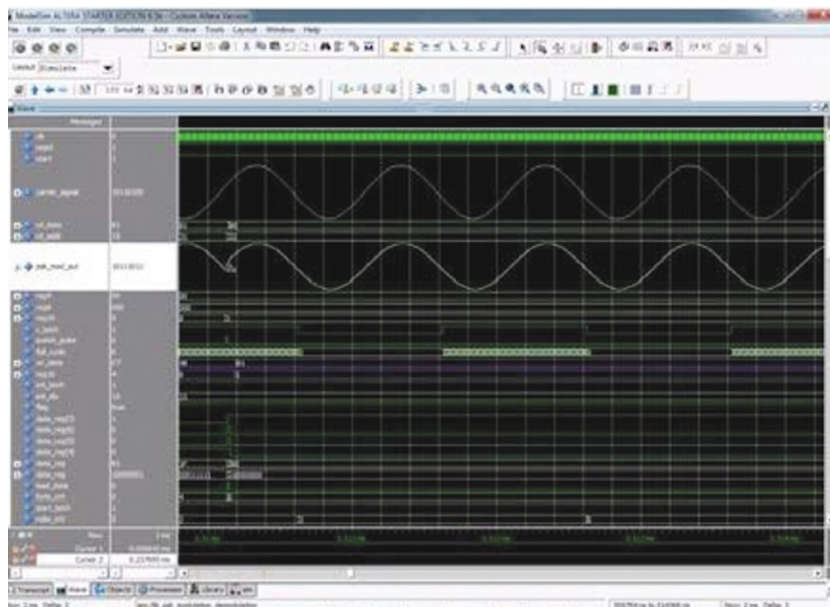


Рис. 2. Результати модуляції на модуляторі 8-PSK

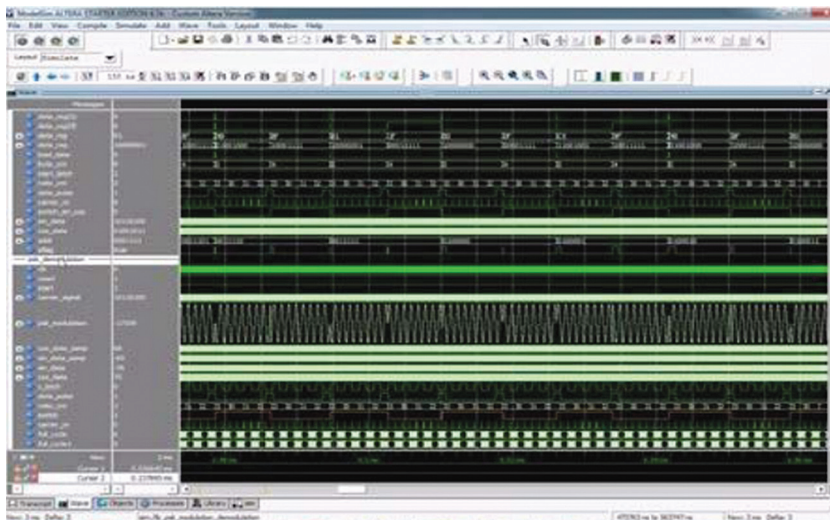


Рис. 3. Результати демодуляції на демодуляторі 8-PSK

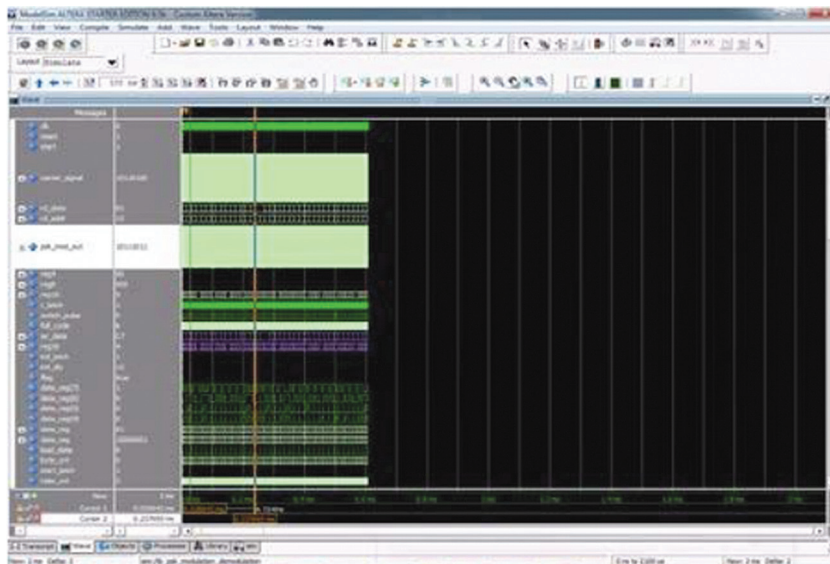


Рис. 4. Результати модуляції на модуляторі 16-PSK

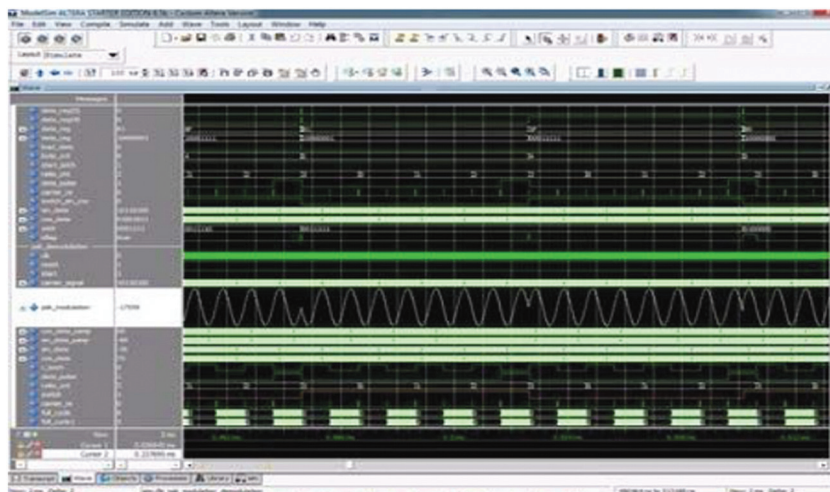


Рис. 5. Результати демодуляції на демодуляторі 16-PSK

Висновки

У запропонованому проєкті було змодельовано 8-PSK і 16-PSK з основами QPSK-модуляції та систем демодуляції для отримання необхідного виходу. Використовувалися кодування VERILOG для моделювання програми. Помилки кодувалися та перевірялися за допомогою програмного забезпечення XILINX. Це програмне забезпечення Verilog може працювати як в операційних системах Window 7, 8, так і в Window 10. Цей проєкт реалізовано для створення високої продуктивності в VLSI за допомогою систем QPSK, 8-PSK, 16-PSK, які використовуються для супутникового зв'язку.

Список використаної літератури

1. **Muthukumar N., Ravi R.** Design and analysis of VLSI based FELICS Algorithm for lossless Image Compression // *International Journal of Advanced Research in Technology*. 2012. Vol. 2, No. 3. P. 115–119.
2. **Cordesses L.** Direct digital synthesis: a tool for periodic wave generation // *IEEE signal process*. 2004. Mag, vol. 21, no. 4. P. 50–54.
3. **FPGA implementation of M-PSK modulators for satellite communication / S. Sharma, K. Sunil, V. Pujari [et al.]** // *Int. conf. Advances in recent technologies in communication and computing*. October 2010. P. 16–17
4. **Muthukumar N.** Analyzing Throughput of MANET with Reduced Packet Loss // *Wireless Personal Communications*. 2017. Vol. 97, No. 1. P. 565–578.
5. **Venkateswari P., Jebitha Steffy E., Muthukumar Dr. N.** License Plate cognizance by Ocu-

lar Character Perception // *International Research Journal of Engineering and Technology*. 2018. Vol. 5, No. 2. P. 536–542.

6. **Rieth D., Heller C., Ascheid G.** FPGA implementation of shaped offset QPSK modulator // *IEEE Int. conf. Digital signal processing*. 2015. P. 790–793.

7. **Muthukumar N., Ravi R.** The Performance Analysis of Fast Efficient Lossless Satellite Image Compression and Decompression for Wavelet Based Algorithm // *Wireless Personal Communications*. 2015. Vol. 81, No. 2. P. 839–859.

8. **Muthukumar N., Ravi R.** Hardware Implementation of Architecture Techniques for Fast Efficient loss less Image Compression System // *Wireless Personal Communications*. 2016. Vol. 90, No. 3. P. 1291–1315.

9. **Automatic Enemy Detecting Defense Robot by using Face Detection Technique / B. Renuka, B. Sivarajan, A. Maha Lakshmi, Dr. N. Muthukumar** // *Asian Journal of Applied Science and Technology*. 2018. Vol. 2, No. 2. P. 495–501.

10. **Finger Print Based Smart Voting System / M. Varsha Peter, V. Priya, H. Petchammal, N. Muthukumar** // *Asian Journal of Applied Science and Technology*. 2018. Vol. 2, No. 2. P. 357–361.

11. **Muthukumar N., Ravi R.** Simulation Based VLSI Implementation of Fast Efficient Lossless Image Compression System using Simplified Adjusted Binary Code & Golomb Rice Code // *World Academy of Science, Engineering and Technology*. 2014. Vol. 8, No. 9. P. 1603–1606.

K. O. Trenyova, O. M. Marchuk, M. Yu. Myroniuk

HIGH PERFORMANCE VLSI ARCHITECTURE FOR ADVANCED QPSK MODEMS

The article is devoted to the topical issue of creating a high-performance VLSI architecture for advanced QPSK modems. The QPSK modulation scheme is used in VLSI architecture for many high-speed applications such as satellite communications. VLSI is a technology by which 10,000-1 million transistors can be manufactured on a single chip. Since there was a need for additional functions of electronic devices, the development of NVIS technology improved.

The proposed architecture is modeled in XILINX software. This software product is specialized tools for programming programmable logic devices in hardware description languages.

The main goal of the research is to create a high-performance QPSK module, thanks to which it supports satellite communication with high bandwidth and energy efficiency. A QPSK modulator is a binary (base 2) signal that produces four different sets of input combinations: 00, 01, 10, and 11. Therefore, with QPSK, binary input combinations are combined from two bits.

In the proposed project, 8-PSK and 16-PSK modulation with the basics of QPSK modulation and demodulation system were analyzed and modeled to obtain the required output. VERILOG coding was used for program simulation. Verilog is a hardware description language (HDL) used to model electronic systems. Verilog can run on both Windows 7, 8 and Windows 10 operating systems.

Errors are coded and checked using XILINX software. This project is implemented to create high performance in NVIS using QPSK, 8-PSK, 16-PSK systems used for satellite communication. Implementing this process in any other module is easy, but in NVIS it is a big challenge.

Keywords: QPSK; NVIS; modulation; communication; architecture; demodulation; XILINX; methods.